

УДК 004.31

Порівняльний аналіз baseband-процесорів для реалізації SDR-трансиверів

Голуб М. С.

Кафедра КЕОА keoa.kpi.ua

Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського» kpi.ua

Київ, Україна

Анотація—Проведено порівняльний аналіз обчислювальних засобів для їх подальшого використання у ролі baseband-процесору для трансивера типу Software Defined Radio. Встановлено, що для цієї ролі можна використати процесори загального користування у парі з графічними процесорами, що мають високу гнучкість у проектуванні, але низьку швидкість та високе енергоспоживання. Використання спеціальних процесорів обробки сигналів надає перевагу у кращому енергоспоживанні, що надає можливість використовувати їх для швидкої розробки портативних трансиверів з достатньо низкою ціною. Для високопродуктивних трансиверів краще за все використовувати програмовані логічні інтегральні схеми, що за рахунок високого паралелізму надають суттєвий вигоду у швидкості. Запропонована власна архітектура трансивера з використанням системи-на-кристалі та радіочастотного трансивера для побудови гнучкої системи передачі інформації по безпроводному каналу зв'язку.

Ключові слова — SDR-трансивер; процесори загального користування; графічні процесори; процесори обробки сигналів; FPGA.

I. ВСТУП

На сьогоднішній день Software-Defined Radio (SDR) набирає все більшу популярність у різних галузях свого використання: військовий і стільниковий зв'язок, медицина, аматорська радіотехніка. Концепція SDR передбачає під'єднання антен безпосередньо до цифро-аналогових перетворювачів (ЦАП) для передачі даних та до аналого-цифрових перетворювачів (АЦП) для прийняття сигналів з безпроводного каналу зв'язку. Обробка сигналів виконується в цифровому вигляді, для цього використовуються так звані baseband-процесори (BBP), що повинні мати досить високу швидкість для виконання операцій модуляції, фільтрації, синхронізації в режимі реального часу. Пристрій, що може здійснювати передачу та прийняття даних називається – SDR-трансивером. На Рис. 1 зображена блок-схема SDR-трансивера з головними складовими його частинами.

Наразі існують пристрої, що можуть містити в одному корпусі швидкісні ЦАП та АЦП, інтерполяційні фільтри та підсилювачі аналогових сигналів для передачі їх через антену. Такі пристрої зазвичай називають RF-трансивери. Типовим прикладом може слугувати AD9361 [1], що дозволяє спростити задачу при проектуванні SDR-трансивера. На його вхід подається та приймається цифровий модульований сигнал, що має пройти обробку на baseband-процесорі [2].

Вибір baseband-процесору для SDR-трансивера являє собою більш складну задачу, що має вирішуватись з огляду на безліч факторів: гнучкість архітек-

тури, вимоги реального часу, швидкість (загалом оцінюється в мільярдах операцій з плаваючою комою в секунду – GFLOPS), енергоефективність, ціна, тощо.

Існують наступні варіанти цифрових обчислювальних пристроїв, які можна обрати в якості baseband-процесору: процесори загального користування (GPP), графічні процесори (GPU), процесори цифрової обробки сигналів (DSP), програмовані логічні інтегральні схеми (FPGA), системи-на-кристалі (SoC), що містять на одному кристалі ядра притаманні GPP та FPGA. Кожен з запропонованих варіантів має свої переваги та недоліки, які проявляються в залежності від задачі, яка стоїть перед розробником SDR-трансивера та його спеціалізації.

Метою статті є аналіз існуючих підходів до вибору baseband-процесору SDR-трансиверів для подальшої власної реалізації даного пристрою з огляду на перераховані вище критерії оцінки.

II. ПОРІВНЯННЯ РІЗНОВИДІВ BASEBAND-ПРОЦЕСОРІВ

A. GPP та GPU

GPP являє собою цифрову мікросхему, що має незмінну архітектуру, використовує вбудовані регістри для зберігання даних та оперує даними у бінарному вигляді. Для більшості людей вони знайомі за архітектурами ARM та x86. Ядра, збудовані за цими архітектурами послідовно виконують операції, що закодовані в командах. Цей варіант цифрових мікросхем надає найбільшу гнучкість в проектуванні SDR-трансиверів, оскільки дозволяє працювати з мовами



програмування високого рівня у складі операційної системи та використовувати велику кількість програмних інструментів обробки інформації.

В загальному вигляді GPP – послідовна система, що виконує операції по чергово, але на ринку вже давно представлені багатоядерні GPP, що дозволяють використовувати паралелізм, тим самим підвищити швидкість. Втім, для високопродуктивних систем цього паралелізму все одно не вистачає, адже він обмежується в кількості ядер, що містяться на кристалі. Зазвичай, їх кількість не перевищує 16-ти ядер. Виконання команд на кожному ядрі виконується послідовно, що критично для реалізації системи обробки даних в реальному часі.

Для вирішення цієї проблеми та підвищення продуктивності можна використати графічні процесори – GPU. Вони оптимізовані для роботи з графікою, але також можуть використовуватись для цифрової обробки даних в SDR. В загальному GPU менш самостійний ніж GPP, а тому майже завжди вони використовуються разом. Графічний процесор виконує обробку даних, а GPP виконує операції з обміну даними між собою та графічним процесором та виконує керування останнім. Графічні процесори мають на кристалі значно більше ядер, а тому і більшу швидкість в GFLOPS. Для прикладу швидкість лінійки Haswell (GPP) від компанії Intel складає 900 GFLOPS, а близька за ціною та роком випуску лінійка графічних процесорів NVIDIA® GTX TITAN™ має швидкість в 4500 GFLOPS [3].

Втім використання одразу двох рішень для вирішення питання цифрової обробки сигналів дуже сильно впливає на енергоефективність системи. Для прикладу, типове значення енергоефективності для GPP та GPU складають 9 та 20 GFLOPS/Вт відповідно [4].

Не дивлячись на збільшення швидкодії за рахунок використання графічного процесора, тракти обміну даними між GPP та GPU можуть бути слабким місцем та знову не задовольняти вимоги реального часу [5]. Вирішення цього питання буде помітно впливати на кінцеву вартість системи.

B. DSP

DSP-процесори дуже схожі на GPP, вони мають також незмінну архітектуру, але вона більш оптимізована на роботу з цифровими сигналами та виконання операцій з плаваючою комою. Зазвичай мають більшу розрядність шин та регістрів (64 біти та

більше) ніж в більшості GPP (обмежується 64 бітами). Така особливість дозволяє мати перевагу в тому, що DSP мають більшу енергоефективність в порівнянні з GPP для вирішення задач в SDR [6]. До того ж DSP-процесори інколи спеціально оптимізовані під енергоефективні рішення на їх базі, що критично важливо для портативних чи автономних систем. Для прикладу можна навести лінійку TI C674x DSP та ADI TigerSHARC®, що мають прийнятні характеристики для реалізації портативних SDR-трансверів, що фактично важко уявити для GPP. Втім, DSP-процесори в більшості своїй споживають більше енергії за ASIC та FPGA-мікросхеми [7].

Для вирішення задачі побудови високопродуктивних систем використання DSP також є спірним моментом, адже фіксована архітектура як і у випадку з GPP дає про себе знати, а підвищення паралельності виконання операцій в DSP-процесорах потребує від розробника значно вищих навичок у програмуванні даного типу процесорів.

C. FPGA та SoC

FPGA являють собою цифрову матрицю логічних елементів, яку можна конфігурувати під власні задачі. У випадку FPGA можна уникнути обмеженості в фіксованості архітектури, як у випадку з GPP та DSP. Але найбільшою перевагою FPGA є саме паралельність виконання операцій. Кожний блок чи функція реалізована на FPGA може бути незалежною частиною, швидкість роботи якої визначає розробник. Таким чином, для виконання умов обробки даних у реальному часі FPGA є найкращим варіантом навіть для високопродуктивних систем. Навіть якщо максимальна тактова частота роботи FPGA-мікросхеми складає лише 300 МГц, то за рахунок паралелізму виконання операцій можна досягти значно кращого результату ніж у випадку такої самої частоти роботи GPP чи DSP. Після порівняння потужним FPGA-мікросхем Xilinx® Virtex та 16-ядерних GPP Intel [8], можна сказати, що використання FPGA надає приріст в швидкодії більш ніж у 4 рази. При цьому енергоефективність ще краще ніж у DSP, що у свою чергу споживають енергії менше за GPP.

Виконання розрахунків у FPGA-мікросхемі зазвичай відбувається у форматі фіксованої точки, але дослідження [9]-[10] доводять, що наразі є суттєвий прогрес у виконанні розрахунків у форматі плаваючої коми.

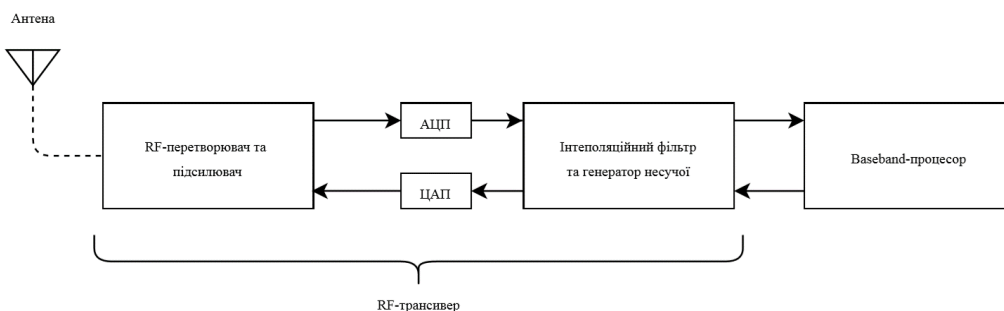


Рис. 1 Блок-схема SDR-трансверера

Головним недоліком використання FPGA є – складність розробки, що потребує знання спеціалізованих мов опису апаратури Verilog чи VHDL та суттєві навички у цифровій електроніці. Використання технологій високого рівня є дуже обмеженим у FPGA-розробці.

Частково для вирішення цієї проблеми були запропоновані системи-на-кристали, що мають на одному кристалі FPGA та ядра фіксованої архітектури як у GPP. Обидві частини можуть обмінюватись даними через спеціальні шини, що дозволяє значно спростити розробку. З'являється можливість реалізувати переваги високорівневого програмування та потужність FPGA. У випадку SDR можна перенести виконання ресурсних математичних операцій модуляції, демодуляції, фільтрації, синхронізації на FPGA, а керування режимами роботи трансивера виконувати за рахунок високорівневих мов програмування.

Типовими прикладами подібних SoC-архітектур є лінійки Xilinx® Zynq-7000 та Intel® Cyclone®-V, що містять у собі апаратні ядра ARM-архітектури та програмовану логічну інтегральну схему. Таким чином виконується часткове поєднання на одному кристалі GPP та FPGA, що збільшує споживання у порівнянні зі звичайними FPGA, але не так значно як у випадку звичайних GPP, так як у більшості випадків апаратні ядра в SoC не мають такої потужності як ядра GPP. Також поява на одному кристалі ще одного блоку вплинула на ціну мікросхем, що зробило більш дорогим варіантом за звичайні FPGA-мікросхеми.

Для часткового вирішення проблеми складності розробки та проектування алгоритмів обробки сигналів на FPGA деякі компанії у спільній кооперації з виробниками FPGA-мікросхем розробили компілятори, що генерують код на мовах опису апаратури з високорівневого коду на мовах C/C++, MATLAB®. Прикладом є HDL Coder [11] від MathWorks® для середовища MATLAB®, що працює у взаємодії з середовищами розробки на мовах опису апаратури для власної генерації коду на Verilog та VHDL з власних моделей у Simulink® чи звичайного коду в MATLAB®. Таким чином, реалізація складних алгоритмів цифрової обробки сигналів під FPGA-мікросхеми значно спрощується.

D. Кінцеве порівняння різновидів baseband-процесорів

Отже, можна сказати, що найбільш оптимальним варіантом для вибору в якості baseband-процесору для SDR-трансивера є FPGA-мікросхеми та SoC з їх вмістом. Вони мають найбільшу гнучкість, що не обмежується конкретною архітектурою, високу швидкість та енергоефективність. Головним недоліком є складність розробки, що поступово починає спрощуватись за рахунок появи спеціальних генераторів коду мов опису апаратури з високого рівня коду. Використання таких мікросхем відповідає умовам обробки інформації у реальному часі.

В свою чергу GPP та GPU значно програють у швидкодії, причому з великим споживанням енергії. Вони більше всього підходять на етапі розробки

прототипу SDR-системи за рахунок легкості розробки на мовах високого рівня та великої кількості програмного інструментарію під них. Їх розповсюдженість у персональних комп'ютерах надає можливість швидко будувати алгоритми та проектувати моделі пристроїв обробки сигналів з використанням середовищ розробки MATLAB® чи GNU Radio.

DSP-процесори займають проміжне місце між GPP та FPGA, вони також мають фіксовану архітектуру, але яка більш пристосована до

ТАБЛИЦЯ 1 ПОРІВНЯННЯ BASEBAND-ПРОЦЕСОРІВ ДЛЯ SDR-ТРАНСИВЕРУ

Параметр порівняння	Різновиди baseband-процесорів		
	GPP та GPU	DSP	FPGA та SoC
Швидкодія	Низька	Середня	Висока
Гнучкість	Висока	Середня	Висока
Енергоефективність	Низька	Висока	Висока
Складність розробки	Низька	Низька	Середня
Ціна	Висока	Низька	Середня

математичних операцій, а також більшість з цих процесорів оптимізовані по енергоспоживанню, що дозволяє швидко проектувати портативні та автономні системи без необхідності використання FPGA.

У Таблиця 1 наведено порівняльну характеристику розглянутих різновидів baseband-процесорів.

III. ВЛАСНА РЕАЛІЗАЦІЯ SDR-ТРАНСИВЕРА

З огляду на описані вище дослідження, для власної реалізації SDR-трансивера був обраний baseband-процесор на базі системи-на-кристалі архітектури Zynq-7000 від компанії Xilinx®, що має вбудований двоядерний ARM-процесор лінійки Cortex-A9 та власну FPGA-частину. В якості RF-частини вирішено обрати трансивер AD9361, що може працювати на частотах до 6 ГГц з полосною пропускання до 54 МГц. Всередині присутні високошвидкісні 12-бітні ЦАП та АЦП, а також декілька каскадів інтерполяційної фільтри та підсилювачів. Має 4 канали передачі даних (по два на прийом та передачу), що можуть налаштуватися окремо. Конфігурація параметрів периферії RF-трансивера здійснюється з baseband-процесору через SPI-інтерфейс, а обмін цифровими даними відбувається через LVDS-інтерфейс. Концепція використання наступна: алгоритми обробки сигналів виконуються на FPGA-частині з максимальною швидкістю та паралелізмом, натомість конфігурація параметрів RF-частини та формування даних на відправку відбувається на ARM-процесорі. Існує можливість програмування ARM-процесору у режимі прямого написання інструкцій для виконання (bare metal), а також використовувати операційну систему реального часу (наприклад, FreeRTOS™) чи більш універсальну Embedded Linux платформу, що надає можливість



дуже швидко організувати обмін готовими даними з клієнтом для радіопередачі через протоколи TCP/IP.

Для побудови прототипу був обраний відлагоджувальний засіб ZedBoard™ [12] в основі якого лежить SoC Zynq-7000. Для RF-частини був обраний сумісний з ZedBoard™ відлагоджувальний засіб AD-FMCOMMS3, що має в основі RF- трансивер AD9361.

Для полегшення процесу конфігурації RF-частини існує програмна бібліотека libIIO [13], що написана на мові програмування C та розповсюджується за відкритою ліцензією. Ця бібліотека підтримується компанією ADI для уніфікації роботи з власними RF-трансиверами (в тому числі AD9361). Робота бібліотеки можлива на базі Embedded Linux, але існує можливість портування під інші варіанти застосування (наприклад, для bare metal програмування). libIIO спрощує процес налаштування каскадів підсилення та фільтрації, а також змінювати характеристики каналу радіопередачі, але варто зауважити, що бібліотека не має жодного відношення до алгоритмів обробки сигналів.

В свою чергу для полегшення процесу реалізації алгоритмів обробки сигналів можна використати згаданий раніше HDL Coder, що може згенерувати код на мові опису апаратури з моделі, що збудована у середовищі MATLAB® та Simulink®.

ВИСНОВКИ

В рамках даної роботи було проведено порівняльний аналіз різновидів обчислювальних пристроїв для використання у якості baseband-процесору для реалізації SDR-трансиверу на якому повинні виконуватись високопродуктивні обчислення для обробки сигналів. Існують наступні варіанти для вирішення задачі: GPP та GPU, DSP, FPGA та SoC з вбудованою FPGA-частиною.

Встановлено, що кожен з варіантів має власні переваги та недоліки, що окреслюють область та рівень їх застосування у питанні вирішення задачі реалізації SDR-трансиверу. GPP та GPU мають високу ціну та небажані для реалізації високопродуктивних каналів зв'язку з огляду на обмеження їх використання в режимі реального часу та споживання енергії, натомість вони мають високу гнучкість за рахунок можливості використання високорівневих інструментів розробки. Таким чином, вони більше підходять для побудови макетів та відлагоджування алгоритмів перед їх реалізацією на базі DSP чи FPGA. В свою чергу DSP більш пристосовані для виконання операцій з обробки сигналів та мають більшу енергоефективність, що дозволяє їх використовувати в малопотужних портативних та автономних системах. Для реалізації високопродуктивних SDR-трансиверах краще за все використовувати FPGA та системи-на-кристалі на їх базі. Вони надають максимальну гнучкість, швидкодію, прийнятну енергоефективність та ціну. Головним недоліком є складність

розробки, але поступово впроваджуються високорівнені інструментарії для спрощення процесу розробки алгоритмів обробки сигналів та роботи з RF-частиною.

З огляду на вище описані міркування, для власної реалізації SDR-трансивера в якості baseband-процесору було обрано систему-на-кристалі з ARM-процесором для спрощення конфігурації роботи трансиверу та FPGA-частиною для реалізації алгоритмів обробки сигналів з максимальною швидкодією та паралелізмом.

ПЕРЕЛІК ПОСИЛАНЬ

- [1] "RF Agile Transceiver AD9361," *Analog Devices*. p. 36, 2016, **URL:**http://www.analog.com/static/imported-files/data_sheets/AD9361.pdf.
- [2] A. Haghghat, "A review on essentials and technical challenges of software defined radio," in *MILCOM 2002. Proceedings*, 2002, pp. 377–382, **DOI:** [10.1109/MILCOM.2002.1180471](https://doi.org/10.1109/MILCOM.2002.1180471).
- [3] M. Galloy, "CPU vs GPU performance," 2011. [Online]. Available:<https://michaelgalloy.com/2013/06/11/cpu-vs-gpu-performance.html>.
- [4] M. Vestias and H. Neto, "Trends of CPU, GPU and FPGA for high-performance computing," in *2014 24th International Conference on Field Programmable Logic and Applications (FPL)*, 2014, pp. 1–6, **DOI:** [10.1109/FPL.2014.6927483](https://doi.org/10.1109/FPL.2014.6927483).
- [5] K. Li, M. Wu, G. Wang, and J. R. Cavallaro, "A high performance GPU-based software-defined basestation," in *2014 48th Asilomar Conference on Signals, Systems and Computers*, 2014, pp. 2060–2064, **DOI:** [10.1109/ACSSC.2014.7094835](https://doi.org/10.1109/ACSSC.2014.7094835).
- [6] S. A. Dyer and B. K. Harms, "Digital Signal Processing," in *Advances in Computers*, Elsevier, 1993, pp. 59–117, **URL:** <https://linkinghub.elsevier.com/retrieve/pii/S0065245808604039>.
- [7] A. Gatherer, T. Stetzler, M. McMahan, and E. Auslander, "DSP-based architectures for mobile communications: past, present and future," *IEEE Commun. Mag.*, vol. 38, no. 1, pp. 84–90, 2000, **DOI:** [10.1109/35.815456](https://doi.org/10.1109/35.815456).
- [8] D. Strenski, C. Kulkarni, J. Cappello, and P. Sundararajan, "Latest FPGAs Show Big Gains in Floating Point Performance." [Online]. Available: https://www.hpcwire.com/2012/04/16/latest_fpgas_show_big_gains_in_floating_point_performance/.
- [9] S. Kestur, J. D. Davis, and O. Williams, "BLAS Comparison on FPGA, CPU and GPU," in *2010 IEEE Computer Society Annual Symposium on VLSI*, 2010, pp. 288–293, **DOI:** [10.1109/ISVLSI.2010.84](https://doi.org/10.1109/ISVLSI.2010.84).
- [10] K. Underwood, "FPGAs vs. CPUs: trends in peak floating-point performance," in *Proceeding of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays - FPGA '04*, 2004, p. 171, **DOI:** [10.1145/968280.968305](https://doi.org/10.1145/968280.968305).
- [11] "MATLAB HDL Coder Generate code from MATLAB code," *MATLAB*. [Online]. Available: <https://www.mathworks.com/products/hdl-coder.html>.
- [12] "ZedBoard™ is a low-cost development board for the Xilinx Zynq®-7000 All Programmable SoC." ZedBoard, **URL:** http://zedboard.org/sites/default/files/product_briefs/5066-PB-AES-Z7EV-7Z020-G-V3c-%281%29_0.pdf.
- [13] "Library for interfacing with Linux IIO devices," *Analog Devices Inc.* Analog Devices Inc, **URL:** <https://github.com/analogdevicesinc/libiio>.

UDC 004.31

Comparison of Baseband Processors in Terms of Realization SDR-Transceivers

M. S. Holub

National Technical University of Ukraine «Igor Sikorsky Kyiv Polytechnic Institute» kpi.ua
Kyiv, Ukraine

Abstract—Software-defined Radio is a programmable transceiver with the capability of operating various wireless communication protocols without the need to change or update the hardware. Consequently, Software-defined Radio has earned a lot of attention and is of great significance to both academia, military and aerospace industry. Components of Software-defined Radio (e.g. mixers, filters, amplifiers, modulators/demodulators, detectors, etc.) implemented by means of software on a personal computer or embedded system. Operation of signal processing are handed over to the baseband processor, rather than being done in special electronic circuits. Baseband processors are implemented through employing various types of hardware platforms, such as General Purpose Processors, Graphics Processing Units, Digital Signal Processors, and Field Programmable Gate Arrays. Each of these platforms is associated with their own set of advantages and disadvantages. In this paper was proposed a comparison of the state-of-the-art hardware platforms in the context of implementation Software-defined Radio transceivers. For comparison was determined as follow criteria: computational power of hardware platform, power consumption, complexity of developing, and cost of tools and equipment. First approaches to realizing baseband processors is using a General Purpose Processor and accelerating by Graphics Processing Units. But General Purpose Processor and Graphics Processing Units execute software instructions in the sequential order. For this reason, General Purpose Processors are not convenient for high-throughput computing with real-time requirements. Also this hardware platforms have increased power consumption. This aspect does not allow use General Purpose Processor and Graphics Processing Units in small and portable Software-defined Radio transceivers. In other hand, General Purpose Processors are preferable hardware platform by researchers and beginners due to their flexibility and programmability. Therefore, General Purpose Processors and Graphics Processing Units is highly recommended for prototyping Software-defined Radio platforms. Digital Signal Processor was reviewed as alternative approach for implementing baseband processors. Digital Signal Processors is a particular type of General Purpose Processors that is optimized to process digital signals. Digital Signal Processors have similar disadvantage with insufficient computational power, but some manufacturer sell energy optimized Digital Signal Processors. Consequently, Digital Signal Processor is commonly used in small and portable Software-defined Radio transceivers. Field Programmable Gate Arrays and System-on-Chips with Field Programmable Gate Array are strongly recommended for high-performance Software-defined Radio platforms. This hardware platforms combine the flexibility of processors and efficiency of small Digital Signal Processor. Field Programmable Gate Arrays can achieve a high level of parallelism in executing digital signal processing. However, the designers must have a high degree in digital electronics and good acknowledgement of hardware description languages. After the research, was proposed own flexible architecture Software-defined Radio transceiver and methods for development.

Keywords — *software-defined radio; transceiver; baseband processor; GPP; DSP; FPGA; SoC.*

