

Логічний аналізатор сигналів на ПЛІС

Алдохін М.Д., ORCID [0000-0002-3187-7521](https://orcid.org/0000-0002-3187-7521)

Національний технічний університет України

"Київський політехнічний інститут імені Ігоря Сікорського" ROR [00syn5v21](https://orcid.org/00syn5v21)

Київ, Україна

Анотація—В роботі вирішується задача створення функціонального і універсального логічного аналізатора, який має можливість одночасного захвату і аналізу 24 цифрових і 8 аналогових сигналів. Для забезпечення мобільності та універсальності пристрою та реалізації як локального так і дистанційного доступу в архітектурі передбачено три інтерфейси (USB, Wi-Fi, Ethernet). Реалізовано захист цифрової і аналогової частини від перепадів напруги та імпульсного збільшення струму. Показана можливість реалізації прототипу пристрою на базі плати DE10-Nano Kit від компанії Terasic.

Ключові слова — *FPGA; логічний; аналізатор; цифрових; сигналів; ПЛІС.*

I. ВСТУП

Для вирішення задач, пов'язаних з вимірюванням параметрів електричних, аналогових та цифрових сигналів, що змінюються широко використовуються осцилографи та логічні аналізатори [1]. Але, коли постає задача одночасного контролювання декількох цифрових інформаційних сигналів для виявлення, наприклад, помилки в синхронізації чи передачі, доречно використовувати логічні аналізатори. Особливо це стосується процедур тестування та налагодження сучасних електронних пристроїв на базі мікроконтролерів або ПЛІС, які потребують одночасної обробки декількох сигналів зі зміною їх у часовій області та можливістю декодування в реальному часі. Для забезпечення такого функціоналу логічні аналізатори повинні мати достатню кількість входів (від 8 до 32), аналізувати цифровий і аналоговий сигнали, мати достатню продуктивність. На ринку представлені приклади логічних аналізаторів [2], [3]. Але в них є ряд недоліків: висока вартість, обмежена універсальність, обмежений частотний діапазон сигналів, недостатня кількість входів. Метою даної роботи є розробка архітектурного рішення для подальшої реалізації багатофункціонального і універсального логічного аналізатора на базі ПЛІС, який буде позбавлений наведених вище недоліків.

II. ФОРМУЛЮВАННЯ ВИМОГ ДО ЛОГІЧНОГО АНАЛІЗАТОРУ

Аналіз ринку показує, що існує необхідність розробки приладу, який може аналізувати багато цифрових сигналів у широкому частотному діапазоні (від декількох герц до 200 МГц), з можливістю підтримки декількох інтерфейсів та протоколів передачі даних (USB, Ethernet, Wi-Fi) для локального та дистанційного з'єднання з іншими приладами (планшет, смартфон, комп'ютер) для подальшої обробки та візуалізації сигналів. В результаті можна сформулювати наступні вимоги до приладу що проектується:

- можливість роботи як з цифровими так і аналоговими сигналами.

- частотний діапазон для аналогового сигналу – до 250 кГц.
- частотний діапазон для цифрового сигналу – до 200 МГц.
- кількість аналогових входів – 8.
- кількість цифрових входів – 24.
- інтерфейси та протоколи для підключення: Wi-Fi, USB, Ethernet.

III. АРХІТЕКТУРА ЛОГІЧНОГО АНАЛІЗАТОРУ

A. Принцип роботи пристрою

Аналіз аналогових сигналів - це перетворення аналогового сигналу у цифровий, за яке відповідає аналогово – цифровий перетворювач. Зчитані значення напруги у часовій області зберігаються у оперативній пам'яті.

Для цифрового сигналу вимірюється частота та скважність, а для аналогового – частота і амплітуда. Після того, як дані у часовій області збережено та їх запис закінчено, виконується аналіз даних та розрахунків параметрів сигналу.

На відміну від осцилографа, для збільшення швидкості обробки та кількості сигналів що вимірюються, у логічних аналізаторах, зберігають у пам'яті не повністю весь сигнал, а лише логічні рівні. В результаті, будь-який сигнал, який лежить у межах логічних рівнів буде представлений набором логічних нулів або одиниць (див. Рис. 1).

- Поріг(пунктир).
- Точка дискретизації (відліки через рівний проміжок часу).
- Результати дискретизації (0 означає, що сигнал нижче порога).



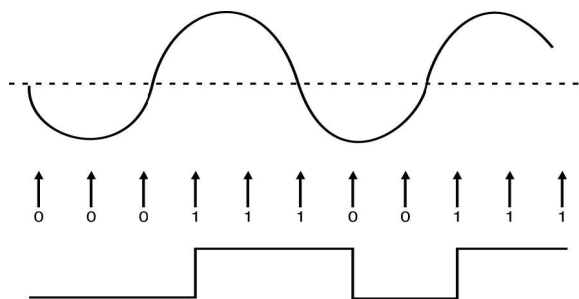


Рис. 1 Точки дискретизації аналізатора часових діаграм

В. Блок-схема приладу

Для розробки та реалізація логічного аналізатору згідно сформульованих вище вимог, пропонується наступна блок-схема приладу - Рис. 2.

На вхід приладу подаються цифрові і аналогові сигнали для подальшого аналізу та обробки.

Блок захисту аналогового входу виконує функцію захисту АЦП від стрибків напруги і надмірного вхідного струму та може бути реалізований у вигляді обмежувальний резистор і згладжує конденсатор[4].

Блок захисту цифрового входу (виконує функцію обмеження вхідних струму та напруги) може бути реалізований шляхом додавання обмежувача резистора та стабілітрону.

Контролер логічних рівнів забезпечує можливість прийому сигналів різних логічних рівнів і являє собою набір вхідних буферів з регулюванням вхідних логічних рівнів (один на вхідний канал). Буфери об'єднані у групи по 8 штук, підключених до одного аналогового мультиплексу, який регулює подачу напруги на буфери. В результаті, незалежно від рівня вхідного сигналу, на вхід процесору завжди подається сигнал, рівні якого відповідають рівням TTL логіки, що забезпечує захист входів процесора від перенапруги – Рис. 3.

Блок відцифровки виконує функцію аналогово-цифрового перетворення для подальшого визначення параметрів аналогових сигналів. Для його реалізації необхідно задіяти АЦП з частотою часової дискретизації не менш 750 тисяч вимірів на секунду, що дозволить точно оцифрувати аналогові сигнали до 250 кГц. Розрядність АЦП повинна забезпечити похибку вимірювання амплітудних значень сигналів та мінімізувати вимоги до обсягів пам'яті для подальшого збереження даних. Таким вимогам задовольняє розрядність 12 біт.



Рис. 2 Блок-схема приладу.

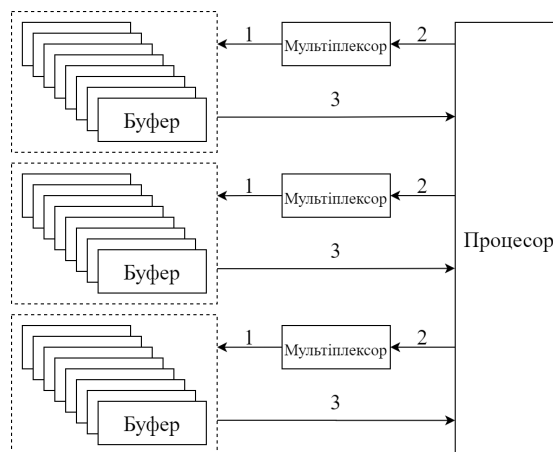


Рис. 3 Контролер логічних рівнів: 1 – вхідна контролююча напруга буферу; 2 – сигнал вибору контролюючої напруги; 3 – сигнал даних.

Процесорний блок – обробляє дані, отримані з блоку відцифрування і контролеру логічних рівнів сигналу та реалізує можливість подальшої передачі даних через відповідні інтерфейси на зовнішні пристрої. Блок пам'яті – складається з декількох частин: ОЗУ (зберігає тимчасові дані операційної системи Linux), SD-card (зберігає операційну систему), також у процесорі є регістрова (швидка) пам'ять для зберігання тимчасових файлів. Інтерфейс Ethernet – розрахований для максимально продуктивної і швидкої роботи з пристроєм шляхом підключення до IP - мережі. Специфікація – 100 Base-TX або 1000 BaseT. Інтерфейс USB – універсальний роз'єм для локального підключення до пристрою. Інтерфейс Wi-Fi передбачений для дистанційного бездротового підключення до пристрою.

С. Реалізація пристрою на ПЛІС

Для реалізації пристрою пропонується використувати плату, на якій міститься програмована логічна інтегральна схема (FPGA) з сопроцесором на базі архітектури АРМ (SOC). Це дозволить підвищити швидкість обробки вхідних даних і забезпечить універсалізацію пристрою. Універсальність пристрою забезпечується можливістю перепрограмування пристрою для розширення функціоналу. А за швидкодію відповідає частина FPGA, яка працює на великій тактовій частоті (до 400 МГц) і може фіксувати зміну сигналів на входах одночасно за рахунок паралельної роботи логічних блоків.

Для прототипу було використано плату DE10-Nano Kit від компанії Terasic - Рис. 4 [5].

На платі встановлено FPGA SoC Cyclone V (а саме 5CSEBA6U23I7NDK). Дана SOC включає дві основні частини – FPGA і HPS.

FPGA має 110 тисяч логічних елементів, на яких реалізуються процедури обробки вхідних сигналів.

HPS – двоядерний процесор з 2 гігабайтами оперативної пам'яті. Це процесор на базі архітектури ARM Cortex-A9.

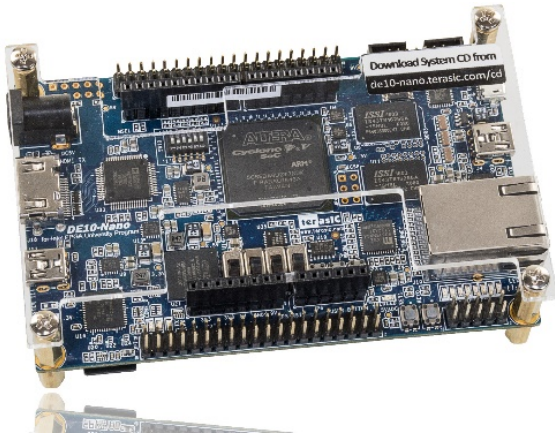


Рис. 4 Плата розробки DE10-Nano Kit.

Структурна схема FPGA SoC Cyclone V наведена на Рис. 5 [6].

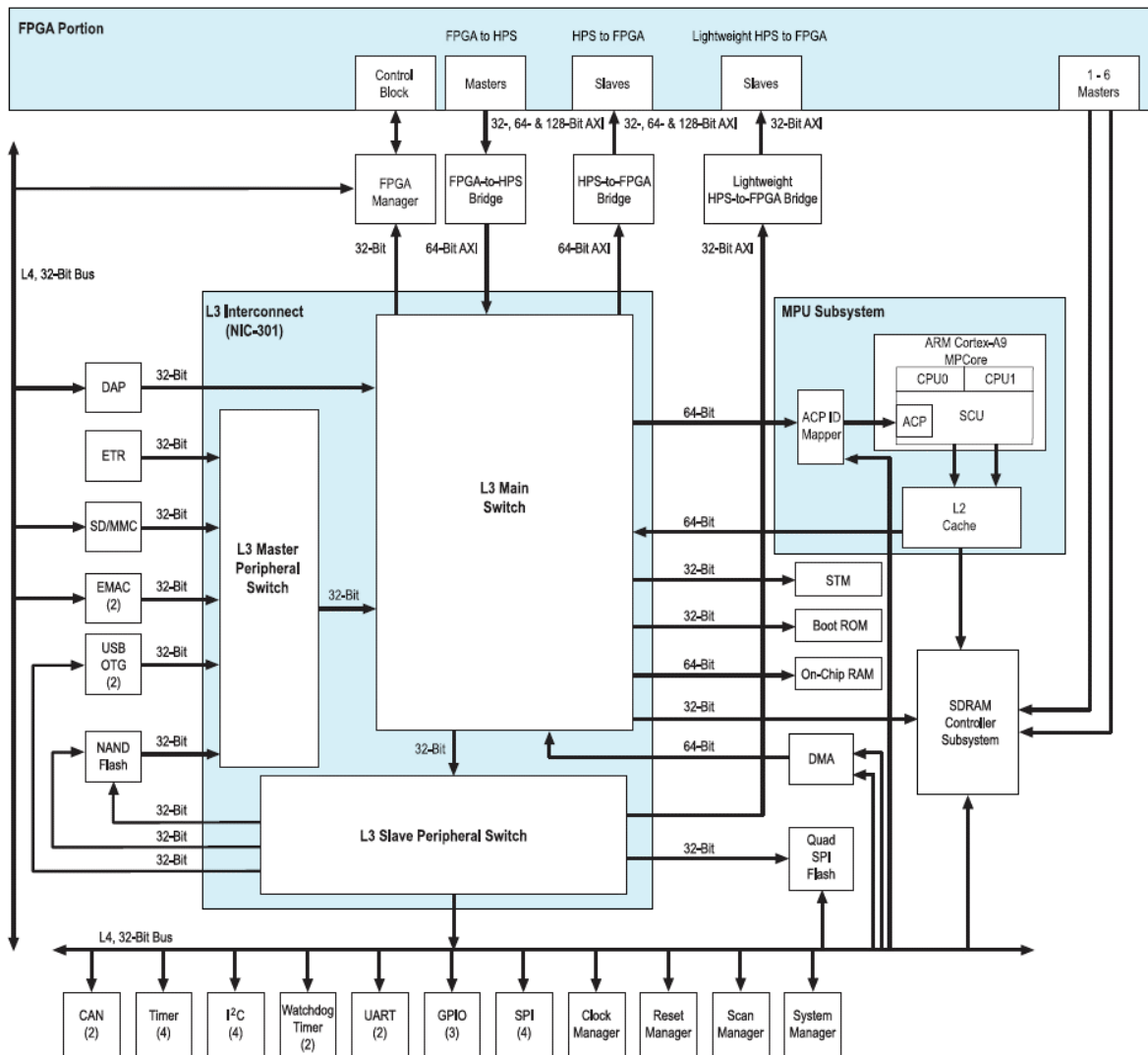


Рис. 5 Блок-схема Cyclone V.

Шина даних Avalon з'єднує модулі HPS і створені додаткові модулі FPGA. Мости HPS to FPGA, FPGA to HPS з'єднують модулі FPGA і HPS для реалізації єдиного адресного простору. Максимальна розрядність кожного з мостів – 128 біт.

Шини даних забезпечують передачу та запис даних до пам'яті. Розрядність шини становить 256 біт даних. На платі є 2 типи пам'яті: постійна (енергонезалежна, це SD-card, де зберігається операційна система) і тимчасова (енергонезалежна), вона поділяється на декілька видів: ОЗУ (RAM пам'ять, зовнішня, а саме DDR3 на 2 ГБ), регістрова (знаходиться у самому процесорі, швидка, для тимчасових даних).

Для підтримки прикладних програмних додатків та стеку протоколів TCP/IP та забезпечення подальших комунікацій з зовнішніми пристроями користувача використовується операційна система Linux. Операційна система завантажується з зовнішньої CD картки, на якій записаний її образ.

Для прототипу було використано плату DE10-Nano Kit від компанії Terasic - Рис. 4 [5].

На платі встановлено FPGA SoC Cyclone V (а саме 5CSEBA6U23I7NDK). Дана SOC включає дві основні частини – FPGA і HPS.

FPGA має 110 тисяч логічних елементів, на яких реалізуються процедури обробки вхідних сигналів.

HPS – двоядерний процесор з 2 гігабайтами оперативної пам'яті. Це процесор на базі архітектури ARM Cortex-A9.

Структурна схема FPGA SoC Cyclone V наведена на Рис. 5 [6].

Шина даних Avalon з'єднує модулі HPS і створені додаткові модулі FPGA. Мости HPS to FPGA, FPGA to HPS з'єднують модулі FPGA і HPS для реалізації єдиного адресного простору. Максимальна розрядність кожного з мостів – 128 біт.

Шини даних забезпечують передачу та запис даних до пам'яті. Розрядність шин становить 256 біт даних. На платі є 2 типи пам'яті: постійна (енергонезалежна, це SD-card, де зберігається операційна система) і тимчасова (енергонезалежна), вона поділяється на декілька видів: ОЗУ (RAM пам'ять, зовнішня, а саме DDR3 на 2 ГБ), регістрова (знаходиться у самому процесорі, швидко, для тимчасових даних). Для підтримки прикладних програмних додатків та стеку протоколів TCP/IP та забезпечення подальших комунікацій з зовнішніми пристроями користувача використовується операційна система Linux. Операційна система завантажується з зовнішньої CD картки, на якій записаний її образ.

D. Процедури обробки сигналів та збереження даних

Програмуємо пристрій для реалізації проекту.

Процедура обробки цифрового сигналу передбачає наступне.

FPGA спочатку відправляє на HPS дані початкового стану 0 чи 1 для кожного каналу (рис. 6 - збереження 1 і 2, перший стан описує початкове значення системи). У той же час починає рахувати лічильник (для кожного каналу свій). Коли значення стану будь якого каналу змінюється на протилежне, FPGA відправляє значення відповідного лічильника на HPS, та скидає значення цього лічильника в нуль (відлік починається з початку).

Тобто ми маємо послідовність зміни стану кожного каналу (продемонстровано на Рис. 6). Похибка вимірювання $\pm 0,5$ такту. Отримані значення дозволяють розрахувати частоту і скважність цифрового сигналу. Частота сигналу визначається шляхом перемноження кількості відліків на частоту тактування відповідного лічильника. Скважність визначається як відстань між сусідніми додатними і від'ємними фронтами поділену на відстань між сусідніми додатними (чи від'ємними) фронтами сигналу і помножену на 100% (визначається як відсоток заповнення сигналу) [7].

Процедура обробки аналогового сигналу передбачає наступне.

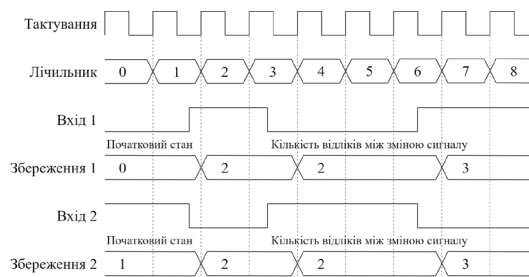


Рис. 6 Збереження даних.

Отримуємо дані з АЦП з заданою періодичністю (максимальна частота дискретизації обумовлена параметрами АЦП – частота дискретизації якого 750 кГц). Частота дискретизації АЦП дозволяє відцифровувати аналогові сигнали з верхньою частотою до 250 кГц. АЦП дескриптизує і квантує сигнал, після чого послідовним протоколом передачі даних відправляє на FPGA, далі паралельним протоколом передачі даних пересилає дані на HPS. Тобто саме FPGA не робить ніяких обробок даних, тільки отримує інформацію з АЦП і пересилає на HPS. Отримані значення дозволяють розрахувати частоту аналогового сигналу (тільки для періодичних сигналів; при розрахунку застосовується перетворення Фур'є) [8].

HPS, отримавши дані з виходу FPGA (рис. 6: збереження 1 і 2) формує дані для пересилки через відповідні інтерфейси (в архітектурі передбачено інтерфейси Ethernet, Wi-Fi та USB) на зовнішні пристрої (наприклад, комп'ютер або смартфон) для подальшої візуалізації та обробки.

E. Відображення інформації користувачу

Обробка та візуалізація сигналів виконується спеціалізованим програмним забезпеченням, яке підтримує два режими функціонування: вбудований WEB-сервер, що дозволяє підключатися до логічного аналізатору з використанням інтернет-браузерів без встановлення на вузлі користувача додаткового програмного забезпечення; спеціалізоване ПО, яке встановлюється на вузлі користувача. Передбачається розробка оригінального ПО.

Розглянемо детальніше програмне забезпечення для користувача. Перед початком заміру треба відкрити розділ "налаштування" і визначити частоту дискретизації цифрового сигналу, роздільну здатність і частоту дискретизації аналогового сигналу. Чим менша, роздільна здатність тим більше семплів можна записати (залежить від швидкості передачі даних через відповідний інтерфейс).

Програма має такий функціонал.

Для цифрових сигналів:

- перегляд сигналів у часі (паралельне відображення у окремих рядках кожного сигналу у вигляді логічних рівнів 0 чи 1).
- вимірювання частоти і скважності сигналів.
- декодування сигналів типових шин - UART, SPI, I2C, RS-232 (для коректного розпізнання

сигналів відповідної шини є вікно налаштувань, що дозволяє визначити, який сигнал шини буде візуалізовано. Наприклад, для шини SPI можна паралельно візуалізувати 4-ри сигнали - MOSI, MISO, CS, SCK).

Для аналогових сигналів:

- перегляд сигналів у часі (паралельне відображення у окремих рядках кожного аналогового сигналу).
- вимірювання частоти сигналу.
- перегляд спектру сигналу у частотній площині (на одному великому графіку будуються спектри кожного сигналу, що дозволяє зробити якісну оцінку сигналів, наприклад при аналізі роботи цифрових фільтрів).

ВИСНОВКИ

Запропоновано архітектуру логічного аналізатору, яка дозволяє реалізувати наступні характеристики та параметри:

- можливість роботи як з цифровими так і аналоговими сигналами.
- частотний діапазон для аналогового сигналу – до 250 кГц.
- частотний діапазон для цифрового сигналу – до 200 МГц.
- кількість аналогових входів – 8.
- кількість цифрових входів – 24.

Надійшла до редакції 01 квітня 2020 року

- інтерфейси та протоколи для підключення: Wi-Fi, USB, Ethernet.

Показана можливість реалізації прототипу пристрою на базі плати DE10-Nano Kit від компанії Terasic.

Запропоновано процедури обробки аналогових та цифрових сигналів, які будуть реалізовані з використанням програмованої логічної інтегральної схеми і сопроцесору на базі архітектури APM.

ПЕРЕЛІК ПОСИЛАНЬ

- [1] V.B. Keshu, "Nebol'shoy obzor logicheskikh analizatorov Saleae Logic Pro 8 i DreamSourceLab DSLogic Pro [A small overview of Saleae Logic Pro 8 and DreamSourceLab DSLogic Pro logic analyzers]," *habr*, 2016. [Online]. Available: <https://habr.com/ru/post/397381/>.
- [2] "Logic Analyzers from Saleae," *Saleae Inc.* [Online]. Available: <https://www.saleae.com/>.
- [3] "DigiView™ Logic Analyzer Models," *TechTools*. [Online]. Available: <https://www.tech-tools.com/logic-analyzer-models.htm>.
- [4] "Passive Low Pass Filter," *electronics-tutorial*. [Online]. Available: https://www.electronics-tutorials.ws/filter/filter_2.html.
- [5] "DE10-Nano Kit," *Terasic*. [Online]. Available: <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&No=1046>.
- [6] S. K.-A and R. Beuchat, "SoC-FPGA Design Guide." 2016, URL: https://people.ece.cornell.edu/land/courses/ece5760/DE1_SOC/SoC-FPGA_Design_Guide_EPFL.pdf.
- [7] S. F. Barrett and D. J. Pack, *Microcontrollers Fundamentals for Engineers and Scientists*. Morgan & Claypool Publishers, 2006, ISBN: 9781598290592.
- [8] M. John, "Digital Data Acquisition." Cimbala, 2014, URL: https://www.me.psu.edu/cimbala/me345/Lectures/Digital_Data_Acquisition.pdf.

UDC 621.3

FPGA Logic Analyzer

M. D. Aldokhin, ORCID [0000-0002-3187-7521](https://orcid.org/0000-0002-3187-7521)

National technical university of Ukraine "Igor Sikorsky Kyiv polytechnic institute" ROR [00syn5v21](https://ror.org/00syn5v21)
Kyiv, Ukraine

Abstract—Logical signal analyzer on FPGA - an electronic device that can record and display sequences of digital and analog signals. The task of creating a functional and universal logic analyzer that has the ability to simultaneously capture and analyze 24 digital and 8 analog signals is considered. The ability to connect a display for offline operation with the device, while this factor should not significantly affect the price. The mobility and versatility of the device is ensured thanks to the installed Wi-Fi module, with a server on the board, for remote access. An Ethernet protocol has also been implemented for the ability to work with speeds up to 1 Gbit / s, which will allow you to receive an infinite amount of data without delay and write directly to the computer's memory. The protection of the digital and analog parts from voltage surges, pulse current increase, which could lead to the failure of the circuit and the combustion of the inputs to the processor, has been made.

A logic signal analyzer can be used to test and debug digital electronic circuits, for example, when designing computer components and electronic control devices. Unlike oscilloscopes, logic analyzers have much more inputs, but they are not precision and can not be used in research, but this is not necessary for an engineer.

In this work, the use of FPGAs is due to the need to ensure a high response rate of the device to a signal change, a programmable integrated matrix is responsible for this. And the other part of the chip with the ARM Cortex A9 processor, which runs the Linux operating system, is responsible for working with peripherals, prioritizing with the simultaneous work of several users. It is possible to modify the device and obtain a fully autonomous and independent device: with its own monitor, information input and output system. There are also possible variations in the construction of the whole test bench, which can not only receive data, but also control processes.

Keywords — *FPGA, Logic, Analyzer, Digital, Signal, FPGA.*

